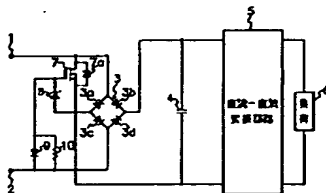


===== WPI =====

- TI - DC=DC converter used in supplying electric power to communication devices e.g. telephone, facsimile machine - has n=channel MOSFET which is turned ON if particular diode of bridge type rectifier, to which MOSFET is connected in parallel, is in conducting condition
- AB - JP11225227 NOVELTY - An N-channel MOSFET (7), having a voltage that is smaller than the forward-biased voltage drop of the rectifier diode (3a) of a bridge type rectifier (3) when the converter is turned ON, is connected in parallel to that diode. The MOSFET is turned ON if that particular diode is in a conducting state.
- USE - For supplying electric power to communication devices e.g. telephone, facsimile machine.
- ADVANTAGE - Reduces electric power loss through simplified circuit modification, thus ensuring cost effectiveness while improving operational efficiency. Reduces number of operating components.
- DESCRIPTION OF DRAWING(S) - The figure shows the electric circuit diagram of the DC-DC converter. (3) Bridge type rectifier; (3a) Rectifier diode; (7) N-channel MOSFET.
- (Dwg.1/5)
- PN - JP11225227 A 19990817 DW199943 H04M19/08 005pp
- PR - JP19980025883 19980206
- PA - (SANK-N) SANKEN DENKI KK
- MC - U24-D02 U24-D04 U24-H W01-C01E X12-H01D X12-J02 X12-J04
- DC - U24 W01 X12
- IC - H02J1/00 ;H02M3/00 ;H02M7/21 ;H04M19/08
- AN - 1999-514612 [43]

===== PAJ =====

- TI - DC-DC CONVERTER
- AB - PROBLEM TO BE SOLVED: To enhance the efficiency of the DC-DC converter that acquires DC power from a bipolar DC power supply via a rectifier circuit by reducing a power loss of the rectifier circuit of an input section.
- SOLUTION: An N-channel MOS-FET 7 whose voltage is lower than a forward voltage drop of a rectifier diode 3a during its on time connects in parallel with a rectifier diode 3a of a bridge rectifier circuit 3 in the DC-DC converter, and the N-channel MOS-FET 7 N-channel MOS-FET 7 is conductive when the rectifier diode 3a is conductive. Thus, most of current flowing to the rectifier diode 3a of the bridge rectifier circuit 3 flows through the N-channel MOS-FET 7 to decrease a voltage drop of the bridge rectifier circuit 3, so that the power loss in the rectifier diode 3a of the bridge rectifier circuit 3 is decreased and efficiency of the DC-DC converter is enhanced.
- PN - JP11225227 A 19990817
- PD - 1999-08-17
- ABD - 19991130
- ABV - 199913
- AP - JP19980025883 19980206
- PA - SANKEN ELECTRIC CO LTD
- IN - USUI HIROSHI
- I - H04M19/08 ;H02J1/00 ;H02M3/00 ;H02M7/21



<First Page Image>

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平11-225227

(43)公開日 平成11年(1999)8月17日

(51)Int.Cl.⁶
 H04M 19/08
 H02J 1/00 303
 H02M 3/00
 7/21

FI
 H04M 19/08
 H02J 1/00 303
 H02M 3/00 H
 7/21 Z

審査請求 未請求 請求項の数2 OL (全5頁)

(21)出願番号 特願平10-25883

(22)出願日 平成10年(1998)2月6日

(71)出願人 000106276

サンケン電気株式会社

埼玉県新座市北野3丁目6番3号

(72)発明者 白井 浩

埼玉県新座市北野3丁目6番3号 サンケン電気株式会社内

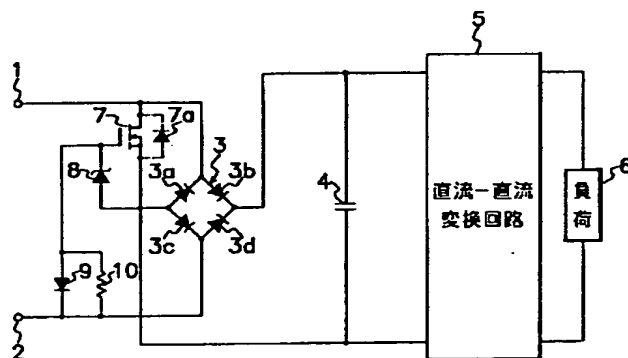
(74)代理人 弁理士 永田 義人 (外1名)

(54)【発明の名称】 DC-DCコンバータ

(57)【要約】

【課題】 双極性の直流電源から整流回路を介して直流電力を取得するDC-DCコンバータにおいて、入力部の整流回路の電力損失を低減してDC-DCコンバータの効率を向上する。

【解決手段】 本発明によるDC-DCコンバータでは、ブリッジ整流回路3の整流ダイオード3aと並列にオン時の電圧が整流ダイオード3aの順方向電圧降下より小さいNチャネル型MOS-FET7を接続し、整流ダイオード3aが導通状態のときにNチャネル型MOS-FET7をオン状態にする。これにより、ブリッジ整流回路3の整流ダイオード3aに流れる電流の大部分がNチャネル型MOS-FET7を通して流れ、整流ダイオード3aにおける電圧降下が小さくなるので、ブリッジ整流回路3の整流ダイオード3aにおける電力損失を低減でき、DC-DCコンバータの効率を向上することが可能となる。



【特許請求の範囲】

【請求項1】 負荷待機時に第1の直流出力を発生しかつ負荷稼動時に前記第1の直流出力とは逆極性の第2の直流出力を発生する双極性の直流電源と、該双極性の直流電源に接続される整流回路と、該整流回路の整流出力を前記負荷に供給する直流出力に変換する直流-直流変換回路とを備えたDC-DCコンバータにおいて、前記整流回路を構成する整流素子のうち少なくとも1つの前記整流素子と並列にオン時の電圧が前記整流素子の順方向電圧降下より小さいスイッチング素子を接続し、前記整流素子が導通状態のときに前記スイッチング素子をオン状態にすることを特徴とするDC-DCコンバータ。

【請求項2】 負荷待機時に第1の直流出力を発生しかつ負荷稼動時に前記第1の直流出力とは逆極性の第2の直流出力を発生する双極性の直流電源と、該双極性の直流電源に接続される整流回路と、該整流回路の整流出力を前記負荷に供給する直流出力に変換する直流-直流変換回路とを備えたDC-DCコンバータにおいて、前記整流回路を構成する整流素子の一部又は全部の前記整流素子が電界効果型トランジスタに寄生する寄生ダイオードで構成され、該寄生ダイオードが導通するときに前記電界効果型トランジスタをオン状態にすることを特徴とするDC-DCコンバータ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はDC-DCコンバータ、特に電話局等から電話回線等の通信回線を介して直流電力を取得しかつ電話又はファクシミリ等の通信機器に直流電力を供給するDC-DCコンバータに関するものである。

【0002】

【従来の技術】電話局等に設置された直流電源から電話回線等の通信回線を介して直流電力を取得しかつ加入者の電話機又はファクシミリ等に駆動用の直流電力を供給するDC-DCコンバータは、電話局側の直流電源の電力供給能力と通信回線自体のインピーダンスにより、取得可能な直流電力は一般的に1W程度に制限される。このため、加入者の電話機又はファクシミリ等の負荷に可能な限り多くの直流電力を供給するために高効率のDC-DCコンバータが要求されている。また、近年では、電話機又はファクシミリ等の多機能化により、通信時のみならず待機時においても駆動用の直流電力を供給する必要性が生じている。

【0003】

【発明が解決しようとする課題】ところで、電話局等に設置される直流電源は、加入者の電話機又はファクシミリ等の待機時（一般的にノーマルモードという）に定電圧の直流電力を供給し、通信時（一般的にリバースモードという）に極性を反転しかつ定電流の直流電力を供給

する。したがって、待機時及び通信時の両状態において加入者の電話機又はファクシミリ等に駆動用の直流電力を供給するためには、DC-DCコンバータをその直流入力側の両極性において動作させる必要がある。このため、一般的にはDC-DCコンバータの直流入力側にブリッジ整流回路が挿入される。しかしながら、この場合は電話局側の双極性の直流電源から通信回線及びブリッジ整流回路を介してDC-DCコンバータに直流電力が入力されるため、ブリッジ整流回路を構成する4個の整流ダイオードを経由する際に発生する電圧降下により電力損失を生じ、DC-DCコンバータの効率が著しく低下する欠点があった。

【0004】そこで、本発明では、双極性の直流電源から整流回路を介して直流電力を取得するDC-DCコンバータにおいて、入力部の整流回路の電力損失を低減してDC-DCコンバータの効率を向上することを目的とする。

【0005】

【課題を解決するための手段】本発明によるDC-DCコンバータは、負荷待機時に第1の直流出力を発生しかつ負荷稼動時に前記第1の直流出力とは逆極性の第2の直流出力を発生する双極性の直流電源と、該双極性の直流電源に接続される整流回路と、該整流回路の整流出力を前記負荷に供給する直流出力に変換する直流-直流変換回路とを備え、前記整流回路を構成する整流素子のうち少なくとも1つの前記整流素子と並列にオン時の電圧が前記整流素子の順方向電圧降下より小さいスイッチング素子を接続し、前記整流素子が導通状態のときに前記スイッチング素子をオン状態にする。整流回路の整流素子が導通状態のときに整流素子と並列に接続されたスイッチング素子をオン状態にすると、スイッチング素子のオン時の電圧が整流素子の順方向電圧降下より小さいため、整流回路に流れる電流の大部分がスイッチング素子を通して流れる。これにより、整流回路における電圧降下が小さくなるので、入力部の整流回路における電力損失を低減でき、DC-DCコンバータの効率を向上することが可能となる。

【0006】また、本発明の他の実施形態におけるDC-DCコンバータでは、前記整流回路を構成する整流素子の一部又は全部の前記整流素子が電界効果型トランジスタに寄生する寄生ダイオードで構成され、該寄生ダイオードが導通するときに前記電界効果型トランジスタをオン状態にする。電界効果型トランジスタの寄生ダイオードが導通するときに電界効果型トランジスタをオン状態にすると、整流回路に流れる電流が電界効果型トランジスタを通して流れ、整流回路における電圧降下が極めて小さくなるので、入力部の整流回路における電力損失を限りなくゼロに近づけることができ、DC-DCコンバータの効率を最大限に引き出すことが可能となる。更に、電界効果型トランジスタに寄生する寄生ダイオード

3

で整流回路を構成したので、整流素子が不要となり、部品点数を削減できる。

【0007】

【発明の実施の形態】以下、本発明によるDC-DCコンバータの一実施形態を図1に基づいて説明する。本実施形態のDC-DCコンバータは、図1に示すように、図示しない電話回線に接続される電源入力端子1、2と、4つの整流素子としての整流ダイオード3a~3dから成りかつ電源入力端子1、2に接続される整流回路としてのブリッジ整流回路3と、ブリッジ整流回路3の出力端子に入力コンデンサ4を介して接続されかつブリッジ整流回路3の整流出力電圧を加入者の電話又はファクシミリ等の負荷6に供給する安定化された直流出力電圧に変換する直流-直流変換回路5と、ブリッジ整流回路3の整流ダイオード3aと並列に接続されたスイッチング素子としてのNチャネル型MOS-FET7と、Nチャネル型MOS-FET7のゲート-ソース端子間に接続されたツェナーダイオード8と、Nチャネル型MOS-FET7のゲート端子と電源入力端子2との間に接続されたダイオード9と、ダイオード9と並列に接続された抵抗10とを備えている。Nチャネル型MOS-FET7のドレイン-ソース端子間には、破線に示す寄生ダイオード7aが並列に形成されている。一般に、Nチャネル型（又はPチャネル型）MOS-FETのオン時におけるドレイン-ソース端子間の電圧は、通常の整流用ダイオード（シリコンダイオード等）の順方向電圧降下に比較して極めて小さい特徴を有する。なお、簡略のため図示は省略するが、負荷6が待機状態、即ちノーマルモードのときは電話局等に設置された双極性の直流電源より電源入力端子1、2をそれぞれ正極、負極とする定電圧の直流電力が電話回線を通じて電源入力端子1、2に供給され、負荷6が通信状態、即ちリバースモードのときは電源入力端子1、2をそれぞれ負極、正極とする定電流の直流電力が電話回線を通じて電源入力端子1、2に供給される。

【0008】上記の構成において、ノーマルモード時は電源入力端子1、2をそれぞれ正極、負極とする直流電圧が電話回線より供給されるので、ブリッジ整流回路3の整流ダイオード3b、3cが導通状態となり、Nチャネル型MOS-FET7には自身に内蔵の寄生ダイオード7aが非導通となる方向に電圧が印加される。このとき、ツェナーダイオード8、ダイオード9及び抵抗10によりNチャネル型MOS-FET7のゲート端子に逆バイアス電圧が印加されるので、Nチャネル型MOS-FET7はオフ状態を維持する。したがって、ノーマルモード時はブリッジ整流回路3の整流ダイオード3b、3cを通して電流が流れるので、Nチャネル型MOS-FET7はDC-DCコンバータの動作に何等関与しない。次に、リバースモード時は電源入力端子1、2をそれぞれ負極、正極とする直流電圧が電話回線より供給さ

4

れるので、ブリッジ整流回路3の整流ダイオード3a、3dが導通状態となり、Nチャネル型MOS-FET7には自身に内蔵の寄生ダイオード7aが導通する方向に電圧が印加される。これと同時に、ツェナーダイオード8、ダイオード9及び抵抗10により、Nチャネル型MOS-FET7のゲート端子に順バイアス電圧が印加されてNチャネル型MOS-FET7がオン状態となる。ここで、Nチャネル型MOS-FET7のオン時におけるドレイン-ソース端子間の電圧はブリッジ整流回路3の整流ダイオード3aの順方向電圧降下より極めて小さいため、ブリッジ整流回路3の整流ダイオード3aに流れる電流の大部分がNチャネル型MOS-FET7を通して流れる。したがって、リバースモード時はブリッジ整流回路3の整流ダイオード3d及びNチャネル型MOS-FET7を通して電流が流れるので、ブリッジ整流回路3の整流ダイオード3aの順方向電圧降下による電力損失を低減できる。よって、リバースモード時ににおいて、図1に示すDC-DCコンバータの効率を向上することが可能となる。

【0009】図1に示す実施形態のDC-DCコンバータは変更が可能である。例えば、図2に示す実施形態のDC-DCコンバータは、図1に示すDC-DCコンバータにおいて、ブリッジ整流回路3の整流ダイオード3dと並列にPチャネル型MOS-FET11を接続し、Pチャネル型MOS-FET11のゲート-ソース端子間にツェナーダイオード12を接続し、Pチャネル型MOS-FET11のゲート端子と電源入力端子1との間にダイオード13を接続し、ダイオード13と並列に抵抗14を接続したものである。Pチャネル型MOS-FET11のドレイン-ソース端子間には、破線に示す寄生ダイオード11aが並列に形成されている。その他の構成は、図1に示すDC-DCコンバータと略同様である。図2に示すDC-DCコンバータでは、リバースモード時ににおいて、ブリッジ整流回路3の整流ダイオード3a、3dが導通すると同時にNチャネル型MOS-FET7及びPチャネル型MOS-FET11がそれぞれオン状態となるので、ブリッジ整流回路3の整流ダイオード3a、3dの順方向電圧降下による電力損失を低減できると共に、図1に示すDC-DCコンバータよりも更に効率を向上することが可能となる。

【0010】また、図3に示す実施形態のDC-DCコンバータは、図1に示すDC-DCコンバータにおいて、ブリッジ整流回路3の整流ダイオード3cの代わりにNチャネル型MOS-FET7を接続し、Nチャネル型MOS-FET7のゲート-ソース端子間にツェナーダイオード8を接続し、Nチャネル型MOS-FET7のゲート端子と電源入力端子1との間にダイオード9を接続し、ダイオード9と並列に抵抗10を接続し、ブリッジ整流回路3の整流ダイオード3bの代わりにPチャネル型MOS-FET11を接続し、Pチャネル型MO

S-FET 11のゲートソース端子間にツェナーダイオード12を接続し、Pチャネル型MOS-FET 11のゲート端子と電源入力端子2との間にダイオード13を接続し、ダイオード13と並列に抵抗14を接続したものである。即ち、図3に示すDC-DCコンバータは、ブリッジ整流回路3の整流ダイオード3b、3cをそれぞれPチャネル型MOS-FET 11に寄生する寄生ダイオード11aとNチャネル型MOS-FET 7に寄生する寄生ダイオード7aで兼用して省略したものと等価である。図3に示すDC-DCコンバータでは、ノーマルモード時において、Pチャネル型MOS-FET 11の寄生ダイオード11aとNチャネル型MOS-FET 7の寄生ダイオード7aが導通するときにPチャネル型MOS-FET 11及びNチャネル型MOS-FET 7がそれぞれオン状態となるので、ノーマルモード時における入力部の整流回路の電力損失を低減でき、効率を向上することが可能となる。また、ブリッジ整流回路3の整流ダイオード3b、3cを省略できるので、図1又は図2に示す実施形態のDC-DCコンバータよりも部品点数を削減できる利点がある。

【0011】また、図4に示す実施形態のDC-DCコンバータは、図1に示すDC-DCコンバータにおいて、ブリッジ整流回路3の整流ダイオード3cと並列にNチャネル型MOS-FET 7を接続し、Nチャネル型MOS-FET 7のゲートソース端子間にツェナーダイオード8を接続し、Nチャネル型MOS-FET 7のゲート端子と電源入力端子1との間にダイオード9及び抵抗10の並列回路を接続し、ブリッジ整流回路3の整流ダイオード3b、3dの各々と並列にPチャネル型MOS-FET 11を接続し、各Pチャネル型MOS-FET 11のゲートソース端子間にそれぞれツェナーダイオード12を接続し、Pチャネル型MOS-FET 11のゲート端子と電源入力端子1との間及びPチャネル型MOS-FET 11のゲート端子と電源入力端子2との間にそれぞれダイオード13及び抵抗14の並列回路を接続したものである。図4に示すDC-DCコンバータでは、ノーマルモード時においてブリッジ整流回路3の整流ダイオード3b、3cが導通すると同時に一方のPチャネル型MOS-FET 11及びNチャネル型MOS-FET 7がそれぞれオン状態となり、リバースモード時においてブリッジ整流回路3の整流ダイオード3d、3aが導通すると同時に他方のPチャネル型MOS-FET 11及びNチャネル型MOS-FET 7がそれぞれオン状態となるので、ノーマルモード及びリバースモードの両状態においてブリッジ整流回路3の全ての整流ダイオード3a~3dの順方向電圧降下による電力損失を低減できると共に、DC-DCコンバータの効率を最大限に引き出すことが可能となる。

【0012】更に、図5に示すように、図4に示すDC-DCコンバータのブリッジ整流回路3の各整流ダイオ

ード3a~3dをNチャネル型MOS-FET 7の寄生ダイオード7aとPチャネル型MOS-FET 11の寄生ダイオード11aで兼用して省略してもよい。即ち、図5に示すDC-DCコンバータは、Nチャネル型MOS-FET 7に寄生する寄生ダイオード7aとPチャネル型MOS-FET 11に寄生する寄生ダイオード11aを2個ずつ使用してブリッジ整流回路を構成したものと等価である。図5に示す実施形態のDC-DCコンバータでは、前述の図4に示す実施形態に比較して入力部の整流回路における電力損失を限りなくゼロに近づけることができるため、DC-DCコンバータの効率を更に最大限に引き出すことが可能となる。また、ブリッジ整流回路3の各整流ダイオード3a~3dを省略できるので、前述の図4に示す実施形態のDC-DCコンバータよりも部品点数を大幅に削減できる利点がある。

【0013】本発明の実施態様は上記の各実施形態に限定されず、更に種々の変更が可能である。例えば、図1に示す実施形態においてブリッジ整流回路3の整流ダイオード3aを省略してもよい。同様に、図2に示す実施形態においてもブリッジ整流回路3の2つの整流ダイオード3a、3dを省略することが可能である。特にこの場合においては、リバースモード時における入力部の整流回路における電力損失を限りなくゼロに近づけることができるため、リバースモード時におけるDC-DCコンバータの効率を最大限に引き出すことができる利点がある。また、図1、図2及び図4に示す各実施形態ではスイッチング素子としてNチャネル型及びPチャネル型MOS-FETを使用した形態を示したが、静電誘導型トランジスタ(SIT)等の他のスイッチング素子を使用することも可能である。

【0014】

【発明の効果】本発明によれば、双極性の直流電源から整流回路を介して直流電力を取得するDC-DCコンバータにおいて、整流回路を構成する整流素子のうち少なくとも1つの整流素子と並列にスイッチング素子を付加する程度の簡易な回路変更により、入力部の整流回路における電力損失を低減できるので、低コストでDC-DCコンバータの効率を向上することが可能となる。また、整流回路を構成する整流素子の一部又は全部の整流素子をMOS-FET等の電界効果型トランジスタに寄生する寄生ダイオードで構成した場合は、部品点数を削減できると共に入力部の整流回路における電力損失を限りなくゼロに近づけることができるので、低コストでDC-DCコンバータの効率を最大限に引き出すことが可能となる。

【図面の簡単な説明】

【図1】 本発明の一実施形態を示すDC-DCコンバータの電気回路図

【図2】 図1の回路の第1の変更実施形態を示す電気回路図

10

20

30

40

50

7

【図3】 図1の回路の第2の変更実施形態を示す電気回路図

【図4】 図1の回路の第3の変更実施形態を示す電気回路図

【図5】 本発明の他の実施形態を示すDC-DCコンバータの電気回路図

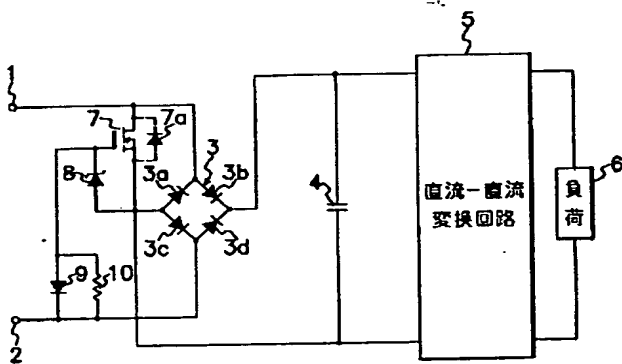
【符号の説明】

1, 2... 電源入力端子、3... ブリッジ整流回路(整流回路)、3a, 3b, 3c, 3d... 整流ダイオ

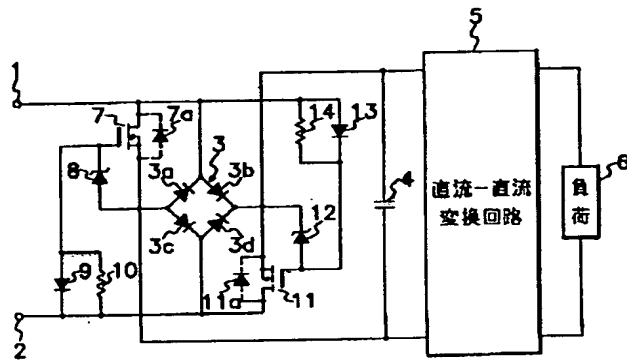
8

ド(整流素子)、4... 入力コンデンサ、5... 直流-直流変換回路、6... 負荷、7... Nチャネル型MOS-FET(スイッチング素子)、7a... 寄生ダイオード、8... ツェナーダイオード、9... ダイオード、10... 抵抗、11... Pチャネル型MOS-FET(スイッチング素子)、11a... 寄生ダイオード、12... ツェナーダイオード、13... ダイオード、14... 抵抗

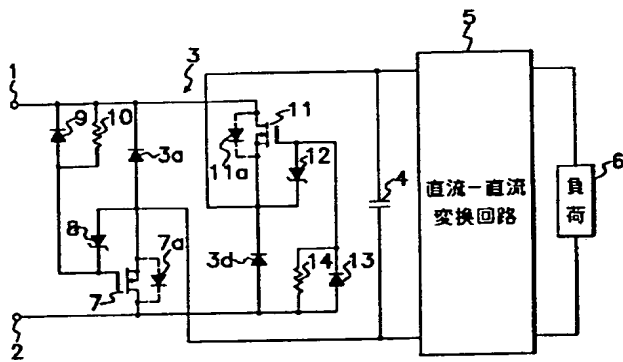
【図1】



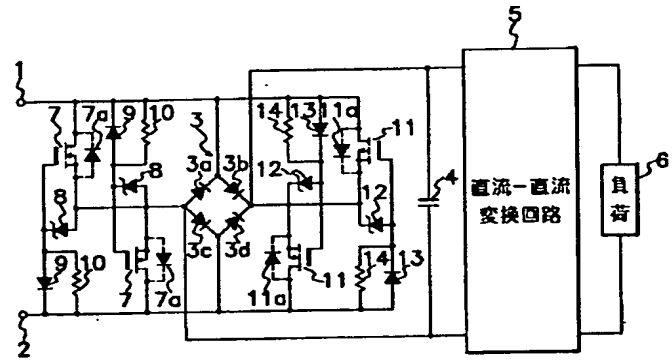
【図2】



【図3】



【図4】



【図5】

